

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No.: 40296-0026

Applicant: Won Hwa JIN

Confirmation No.:

Appl. No.: Unassigned

Examiner: Unassigned

Filing Date: June 30, 2003

Art Unit: Unassigned

Title: METHOD FOR FORMING METAL LINE OF SEMICONDUCTOR  
DEVICE

**CLAIM FOR CONVENTION PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed. In support of this claim, filed herewith is a certified copy of said original foreign application:

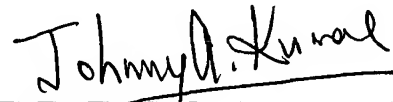
**Korean Patent Application No. 10-2002-0088117 filed December 31, 2002**

Respectfully submitted,

Date: June 30, 2003

HELLER EHRMAN WHITE &  
MCAULIFFE  
1666 K Street, N.W., Suite 300  
Washington, DC 20006  
Telephone: (202) 912-2000  
Facsimile: (202) 912-2020

By



Johnny A. Kumar

Attorney for Applicant  
Registration No. 34,649  
Customer No. 26633



26633

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0088117  
Application Number

출원년월일 : 2002년 12월 31일  
Date of Application DEC 31, 2002

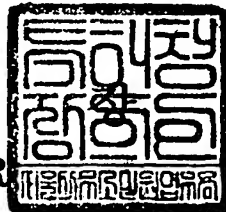
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003      년      05      월      22      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0011		
【제출일자】	2002.12.31		
【국제특허분류】	H01L		
【발명의 명칭】	반도체소자의 금속배선 형성방법		
【발명의 영문명칭】	A method for forming a metal line of a semiconductor device		
【출원인】			
【명칭】	주식회사 하이닉스반도체		
【출원인코드】	1-1998-004569-8		
【대리인】			
【성명】	이후동		
【대리인코드】	9-1998-000649-0		
【포괄위임등록번호】	1999-058167-2		
【대리인】			
【성명】	이정훈		
【대리인코드】	9-1998-000350-5		
【포괄위임등록번호】	1999-054155-9		
【발명자】			
【성명의 국문표기】	진원화		
【성명의 영문표기】	JIN, Won Hwa		
【주민등록번호】	681110-1173718		
【우편번호】	480-071		
【주소】	경기도 의정부시 신곡1동 동신아파트 201-1603		
【국적】	KR		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 동 (인) 대리인 이정훈 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	2	면	2,000 원

1020020088117

출력 일자: 2003/5/23

【우선권주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】	31,000	원		
【첨부서류】	1.	요약서·명세서(도면)_1통		

**【요약서】****【요약】**

본 발명은 반도체소자의 금속배선 형성방법에 관한 것으로,

다층 금속배선의 형성공정시 유발되는 특성 열화 및 생산성 저하를 향상시키기 위하여,

제1층간절연막을 통하여 반도체기판에 접속되는 하부 금속배선 물질층과 비아콘택 플러그 물질층을 적층하고 하부 금속배선 마스크를 이용한 사진식각공정으로 상기 비아콘택플러그 및 하부 금속배선 물질층을 식각하여 하부 금속배선을 패터닝한 다음, 전체 표면상부를 평탄화시키는 제2층간절연막을 형성하고 사진식각공정으로 상기 제2층간절연막 및 비아콘택플러그 물질층을 식각하여 비아콘택플러그를 패터닝한 다음, 전체표면 상부에 제3층간절연막을 형성하고 상기 제3층간절연막을 평탄화식각하여 상기 비아콘택 플러그를 노출시킨 다음, 상기 비아콘택플러그에 접속되는 상부 금속배선을 패터닝하는 공정으로 다층구조의 금속배선을 용이하게 반도체소자의 생산성, 특성 및 신뢰성을 향상시키고 그에 따른 고집적화를 가능하게 하는 기술이다.

**【대표도】**

도 3i

## 【명세서】

## 【발명의 명칭】

반도체소자의 금속배선 형성방법 {A method for forming a metal line of a semiconductor device}

## 【도면의 간단한 설명】

도 1a 내지 도 1g 는 종래기술의 실시예에 따른 반도체소자의 금속배선 형성방법을 도시한 단면도.

도 2a 내지 도 2c 는 종래기술에 따라 형성된 금속배선을 도시한 썸사진.

도 3a 내지 도 3i 는 본 발명의 실시예에 따른 반도체소자의 금속배선 형성방법을 도시한 단면도.

## &lt; 도면의 주요 부분에 대한 간단한 설명 &gt;

11,55 : 하부 금속배선    13 : 층간절연막

15,25 : 감광막패턴    17 : 비아콘택홀

19 : Ti/TiN 막    21 : 텅스텐층

23,63 : 상부 금속배선 물질층    27,65 : 상부 금속배선

41 : 반도체기판    43 : 제1층간절연막

45 : 콘택플러그    47 : 제1 Ti/TiN 막

49 : 금속층    51 : 제2 Ti/TiN 막

53 : 비아콘택플러그 물질층    57 : 제2층간절연막

59 : 비아콘택플러그    61 : 제3층간절연막

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <14> 본 발명은 반도체소자의 금속배선 형성방법에 관한 것으로, 특히
- <15> 다층 금속배선을 먼저 증착하고 플러그를 나중에 형성한 다음, 상기 플러그가 노출된 평탄화된 층간절연막을 형성하고 상기 플러그에 접속되는 금속배선을 형성함으로써 다층 금속배선을 용이하게 형성할 수 있도록 하는 기술에 관한 것이다.
- <16> 일반적으로, 소자간이나 소자와 외부회로 사이를 전기적으로 접속시키기 위한 반도체소자의 배선은, 배선을 위한 소정의 콘택홀 및 비아홀을 배선재료로 매립하여 배선층을 형성하고, 후속 공정을 거쳐 이루어지며 낮은 저항을 필요로 하는 곳에는 금속배선을 사용한다.
- <17> 상기 금속배선은 알루미늄(Al)에 소량의 실리콘이나 구리(Cu)가 포함되거나 실리콘과 구리가 모두 포함되어 비저항이 낮으면서 가공성이 우수한 알루미늄합금을 배선재료로 하여 콘택홀 및 비아콘택홀을 매립하는 방법으로 형성된다.
- <18> 도 1a 내지 도 1g 는 종래기술의 실시예에 따른 반도체소자의 금속배선 형성방법을 도시한 단면도이다.
- <19> 도 1a를 참조하면, 반도체기판(도시안됨) 상부에 하부 금속배선(11)을 형성한다. 이때, 상기 하부금속배선(11)은 알루미늄합금으로 형성된 것이고, 그 상부 및 하부에는 Ti 또는 Ti/TiN 의 적층구조가 형성된 것이다.

- <20>       상기 하부 금속배선(11)이 형성된 상부구조를 평탄화시키는 층간절연막(13)을 형성한다.
- <21>       상기 층간절연막(13) 상부에 감광막패턴(15)을 형성한다. 이때, 상기 감광막패턴(15)은 비아콘택홀을 형성하기 위한 금속배선 콘택마스크(도시안됨)를 이용하여 노광 및 현상을 실시함으로써 형성한 것이다.
- <22>       도 1b를 참조하면, 상기 감광막패턴(15)을 마스크로 하여 상기 층간절연막(13)을 식각하여 상기 하부 금속배선(11)을 노출시키는 비아 콘택홀(17)을 형성한다.
- <23>       상기 감광막패턴(15)을 제거하고 상기 비아콘택홀(17)을 포함한 전체표면상부에 접착층/확산방지막인 Ti/TiN 막(19)을 형성한다.
- <24>       도 1c를 참조하면, 상기 비아콘택홀(17)을 매립하는 텅스텐층(21)을 전체표면상부에 형성한다.
- <25>       도 1d를 참조하면, 상기 층간절연막(13)을 식각장벽으로 하여 상기 텅스텐층(21)과 Ti/TiN 막(19)을 평탄화식각함으로써 상기 비아콘택홀(17)을 매립하는 비아콘택플러그를 형성한다.
- <26>       도 1e를 참조하면, 상기 비아콘택플러그에 접속되도록 상부 금속배선 물질층(23)을 형성한다.
- <27>       상기 상부 금속배선 물질층(23)은 Ti/TiN 막, 주요 금속배선 물질층 및 Ti/TiN 막의 적층구조로 형성한다.
- <28>       이때, 하측의 Ti/TiN 막은 주요 금속배선 물질이 알루미늄합금이나 텅스텐 합금인 경우 층간절연막(13)인 산화막과 반응하는 것을 방지하는 동시에 알루미늄합금의 균일



한 증착이 가능하도록 하는 역할을 한다. 상층의 Ti/TiN 막은 반사방지막 및 EM (electro migration) 특성을 향상시킬 수 있도록 하는 역할을 한다.

<29> 도 1f를 참조하면, 상기 상부 금속배선 물질층(23) 상부에 감광막패턴(25)을 형성한다.

<30> 이때, 상기 감광막패턴(25)은 상부 금속배선 마스크(도시안됨)를 이용한 노광 및 현상공정으로 형성한 것이다.

<31> 도 1g를 참조하면, 상기 감광막패턴(25)을 마스크로 하여 상기 상부 금속배선 물질층(23)을 식각함으로써 상기 하부 금속배선(11)에 접속되는 상부 금속배선(27)을 형성한다.

<32> 도 2a 내지 도 2c 는 종래기술에 따라 형성된 반도체소자의 금속배선을 도시한 샘플 사진이다.

<33> 상기 도 2a 는 다층 금속배선을 도시하고,

<34> 상기 도 2b 는 상기 2a에서 비아콘택플러그가 구비되는 부분을 확대 도시한 것으로서, 상기 PVD 또는 CVD 방법으로 형성하는 Ti/TiN 막(19)이 불안정하게 증착되어 다수의 심 ( seam ) 이 유발된 것을 도시하고,

<35> 상기 도 2c 는 상기 불안정한 Ti/TiN 막(19) 상에 텅스텐층(21)을 증착할 때 불량 이 유발된 경우를 도시한다.

<36> 상기한 바와 같이 종래기술에 따른 반도체소자의 금속배선 형성방법은, 비아콘택 플러그 형성공정 중에 유발되는 심 ( seam ) 이나 텅스텐층의 증착 불량으로 인한 소자

의 특성 열화가 발생하거나 많은 공정 단계로 인한 파티클 유발이 가능하여 소자의 특성 및 신뢰성을 저하시키고 그에 따른 소자의 고집적화를 어렵게 하는 문제점이 있다.

**【발명이 이루고자 하는 기술적 과제】**

<37> 본 발명은 상기한 종래기술의 문제점을 해결하기 위하여, 비아콘택홀에 플러그 물질을 증착하는 공정을 생략할 수 있어 비아콘택플러그의 막질을 향상시킬 수 있고, 공정을 단순화하여 소자의 생산성, 특성 및 신뢰성을 향상시킬 수 있는 반도체소자의 금속배선 형성방법을 제공하는데 그 목적이 있다.

**【발명의 구성 및 작용】**

<38> 이상의 목적을 달성하기 위한 본 발명에 따른 반도체소자의 금속배선 형성방법은,  
 <39> 제1층간절연막을 통하여 반도체기판에 접속되는 하부 금속배선 물질층과 비아콘택 플러그 물질층을 적층하는 공정과,  
 <40> 하부 금속배선 마스크를 이용한 사진식각공정으로 상기 비아콘택플러그 및 하부 금속배선 물질층을 식각하여 하부 금속배선을 패터닝하는 공정과,  
 <41> 전체표면상부를 평탄화시키는 제2층간절연막을 형성하는 공정과,  
 <42> 사진식각공정으로 상기 제2층간절연막 및 비아콘택플러그 물질층을 식각하여 비아콘택플러그를 패터닝하는 공정과,  
 <43> 전체표면상부에 제3층간절연막을 형성하고 상기 제3층간절연막을 평탄화식각하여 상기 비아콘택플러그를 노출시키는 공정과,  
 <44> 상기 비아콘택플러그에 접속되는 상부 금속배선을 패터닝하는 공정을 포함하는 것과,

- <45>      상기 하부 및 상부 금속배선과 비아콘택플러그는 알루미늄, 구리, 텅스텐, 코발트, 실리콘 및 이들이 조합된 구조의 도전층 중에서 한가지로 형성하는 것과,
- <46>      상기 비아콘택플러그의 패터닝 공정은 비아콘택 영역을 제외한 하부 금속배선 영역을 식각하게 디자인된 노광마스크를 이용하여 실시하는 것과,
- <47>      상기 비아콘택플러그의 패터닝 공정은 상기 하부 금속배선과 비아콘택플러그 물질층과의 식각선택비 차이를 이용하여 실시하는 것과,
- <48>      상기 제3층간절연막의 평탄화식각공정은 에치백이나 CMP 공정으로 실시하는 것을 특징으로 한다.
- <49>      이하, 첨부된 도면을 참고로 하여 본 발명을 설명하기로 한다.
- <50>      도 3a 내지 도 3i 는 본 발명의 실시예에 따른 반도체소자의 금속배선 형성방법을 도시한 단면도이다.
- <51>      도 3a를 참조하면, 소자분리막(도시안됨), 워드라인(도시안됨), 비트라인(도시안됨) 및 캐패시터(도시안됨)의 하부구조물이 구비되는 반도체기판(41) 상에 제1층간절연막(43)을 형성한다.
- <52>      하부 금속배선 콘택마스크(도시안됨)를 이용하여 상기 반도체기판(41)에 콘택되는 하부 금속배선 콘택플러그(45)를 형성한다.
- <53>      도 3b를 참조하면, 상기 하부 금속배선 콘택플러그(45)에 접속되는 하부 금속배선 물질층과 비아콘택플러그 물질층(53)을 적층한다.

- <54> 이때, 상기 하부 금속배선 물질층은 제1 Ti/TiN 막(47), 금속층(49) 및 제2 Ti/TiN 막(51)의 적층구조로 형성한다. 상기 금속층(49)은 알루미늄, 구리, 텅스텐, 코발트, 실리콘 및 이들이 조합된 구조의 도전층 중에서 한가지로 형성한다.
- <55> 상기 비아콘택플러그 물질층(53)은 알루미늄, 구리, 텅스텐, 코발트, 실리콘 및 이들이 조합된 구조의 도전층 중에서 한가지로 형성하되, 상기 제2 Ti/TiN 막(51)과 식각 선택비 차이를 갖도록 형성한다. 보다 상세하게는, 상기 비아콘택플러그 물질층(53) 식각시 상기 제2 Ti/TiN 막(51)이 식각장벽으로 사용할 수 있도록 형성하는 것이다.
- <56> 도 3c를 참조하면, 하부 금속배선 마스크(도시안됨)를 이용한 사진식각공정으로 상기 비아콘택플러그 물질층(53) 및 하부 금속배선 물질층(47, 49, 51)을 식각하여 하부 금속배선(55)을 패터닝한다. 이때, 상기 하부 금속배선(55)은 상부에 비아콘택플러그 물질층(53)이 구비된다.
- <57> 도 3d를 참조하면, 전체표면상부를 평탄화시키는 제2층간절연막(57)을 형성한다.
- <58> 도 3e를 참조하면, 상기 하부 금속배선 마스크(도시안됨)와 비아콘택마스크(도시안됨)가 합성된 형태의 노광마스크(도시안됨)를 이용하여 상기 제2층간절연막(57)과 비아콘택플러그 물질층(53)을 식각함으로써 상기 하부 금속배선(55)의 상부를 노출시키는 동시에 비아콘택플러그(59)를 형성한다. 이때, 상기 노광마스크는 비아콘택 영역을 제외한 하부 금속배선 영역을 식각하게 디자인 된 것이다.
- <59> 상기 노광마스크는 상기 하부 금속배선 마스크(도시안됨)와 비아콘택마스크를 이용하여 이중노광하고 이중노광된 영역의 제2층간절연막(57)과 비아콘택플러그 물질층(53)을 식각할 수도 있다.

- <60> 도 3f를 참조하면, 전체표면상부에 평탄화된 제3층간절연막(61)을 형성한다.
- <61> 도 3g를 참조하면, 상기 비아콘택플러그(59)와의 식각선택비 차이를 이용한 평탄화식각공정으로 상기 비아콘택플러그(59)를 노출시키며 평탄화시킨다. 이때, 상기 평탄화식각공정은 에치백이나 CMP 공정으로 실시한다.
- <62> 도 3h를 참조하면, 상기 비아콘택플러그(59)에 접속되는 상부 금속배선 물질층(63)을 증착한다. 이때, 상기 상부 금속배선 물질층(63)은 상기 하부 금속배선(55)과 같은 물질로 형성한다.
- <63> 도 3i를 참조하면, 상부 금속배선 마스크(도시안됨)를 이용한 사진식각공정으로 상기 상부 금속배선 물질층(63)을 식각하여 상부 금속배선(65)을 형성한다.
- <64> 본 발명의 다른 실시예는 상부와 하부 2층 구조보다 높은 다층구조로 형성하는 것이다.

#### 【발명의 효과】

- <65> 이상에서 설명한 바와 같이 본 발명에 따른 반도체소자의 금속배선 형성방법은, 비아콘택홀을 매립하는 증착공정없이 비아콘택플러그를 형성할 수 있어 비아콘택플러그의 막질을 향상시키고 그에 따른 비아 콘택 특성을 향상시킬 수 있으며 공정을 단순화시켜 반도체소자의 생산성, 특성 및 신뢰성을 향상시키고 그에 따른 고집적화를 가능하게 하는 효과를 제공한다.

**【특허청구범위】****【청구항 1】**

제1층간절연막을 통하여 반도체기판에 접속되는 하부 금속배선 물질층과 비아콘택 플러그 물질층을 적층하는 공정과,

하부 금속배선 마스크를 이용한 사진식각공정으로 상기 비아콘택플러그 및 하부 금속배선 물질층을 식각하여 하부 금속배선을 패터닝하는 공정과,

전체표면상부를 평탄화시키는 제2층간절연막을 형성하는 공정과,

사진식각공정으로 상기 제2층간절연막 및 비아콘택플러그 물질층을 식각하여 비아 콘택플러그를 패터닝하는 공정과,

전체표면상부에 제3층간절연막을 형성하고 상기 제3층간절연막을 평탄화식각하여 상기 비아콘택플러그를 노출시키는 공정과,

상기 비아콘택플러그에 접속되는 상부 금속배선을 패터닝하는 공정을 포함하는 반도체소자의 금속배선 형성방법.

**【청구항 2】**

제 1 항에 있어서,

상기 하부 및 상부 금속배선과 비아콘택플러그는 알루미늄, 구리, 텅스텐, 코발트, 실리콘 및 이들이 조합된 구조의 도전층 중에서 한가지로 형성하는 것을 특징으로 하는 반도체소자의 금속배선 형성방법.

**【청구항 3】**

제 1 항에 있어서,

상기 비아콘택플러그의 패터닝 공정은 비아콘택 영역을 제외한 하부 금속배선 영역을 식각하게 디자인된 노광마스크를 이용하여 실시하는 것을 특징으로 하는 반도체소자의 금속배선 형성방법.

**【청구항 4】**

제 1 항에 있어서,

상기 비아콘택플러그의 패터닝 공정은 상기 하부 금속배선과 비아콘택플러그 물질층과의 식각선택비 차이를 이용하여 실시하는 것을 특징으로 하는 반도체소자의 금속배선 형성방법.

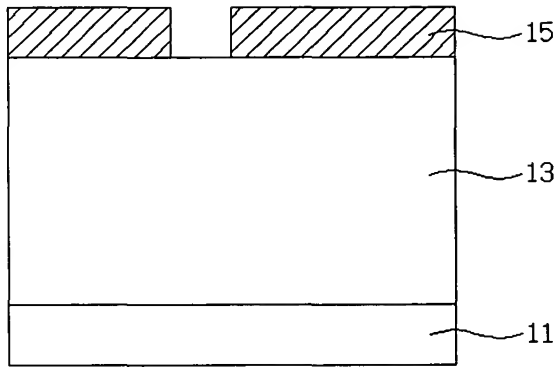
**【청구항 5】**

제 1 항에 있어서,

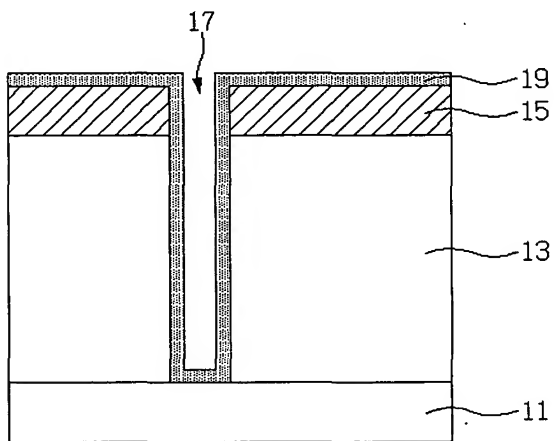
상기 제3층간절연막의 평탄화식각공정은 에치백이나 CMP 공정으로 실시하는 것을 특징으로 하는 반도체소자의 금속배선 형성방법

【도면】

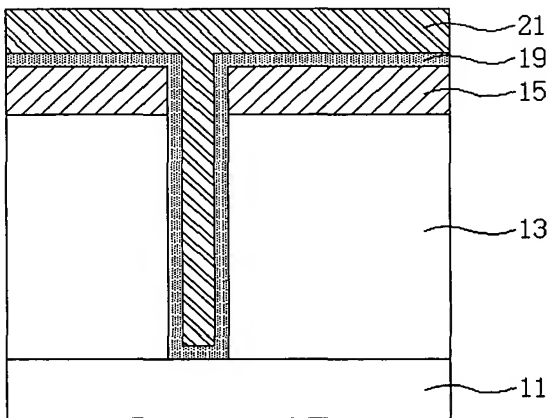
【도 1a】



【도 1b】

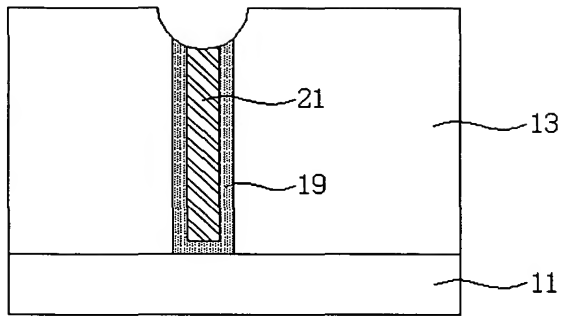


【도 1c】

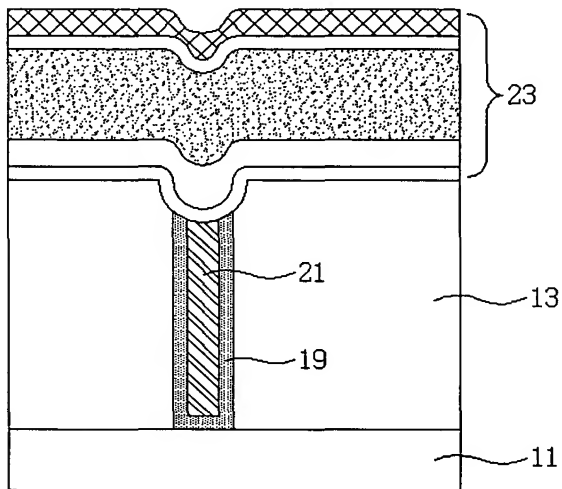




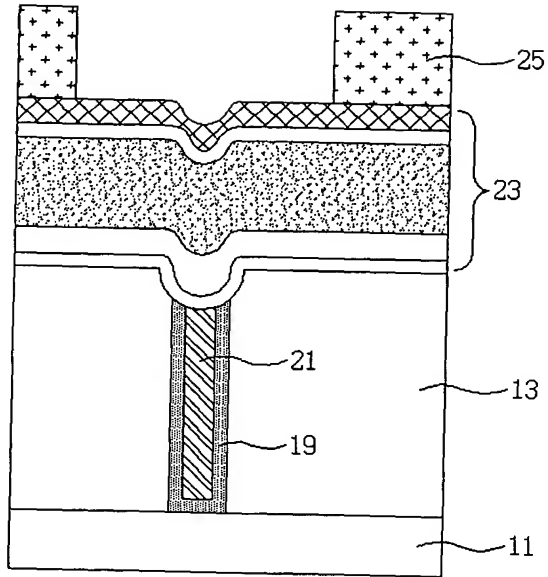
【도 1d】



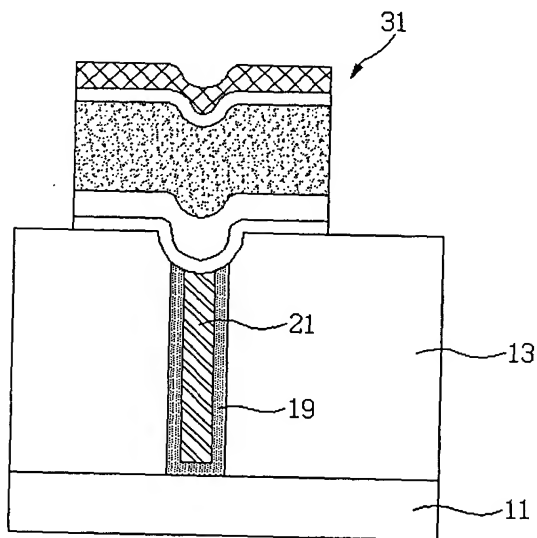
【도 1e】



【도 1f】



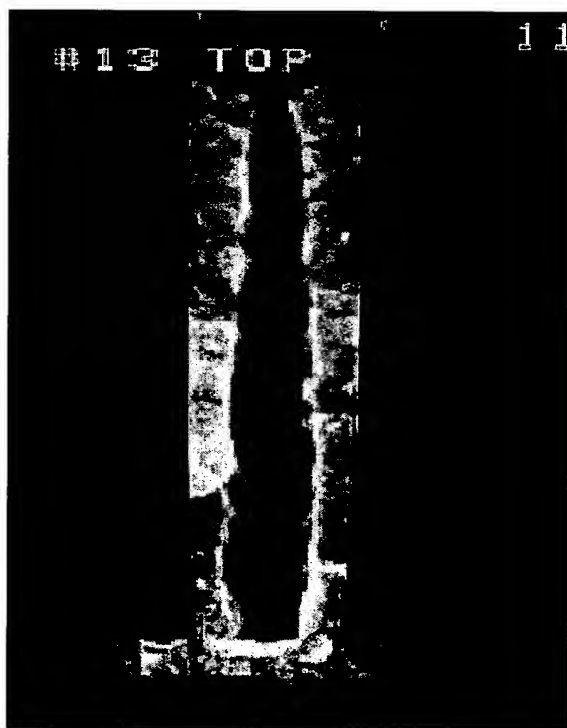
【도 1g】



【도 2a】



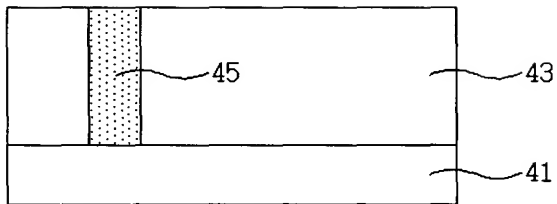
【도 2b】



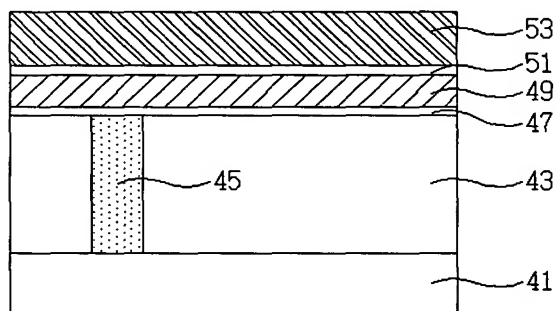
【도 2c】



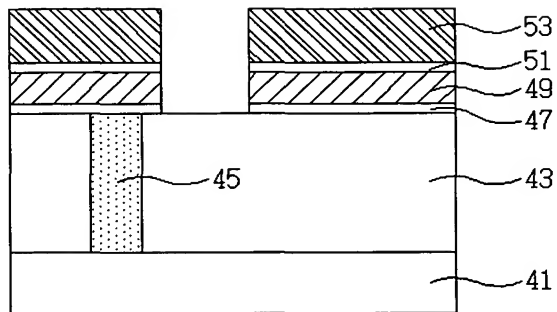
【도 3a】



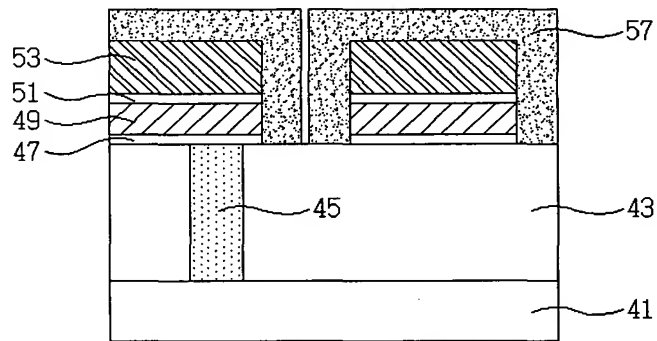
【도 3b】



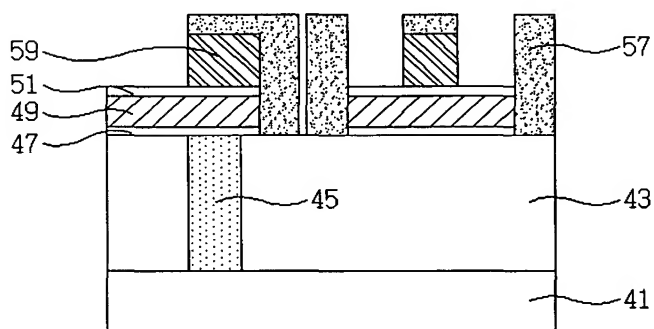
【도 3c】



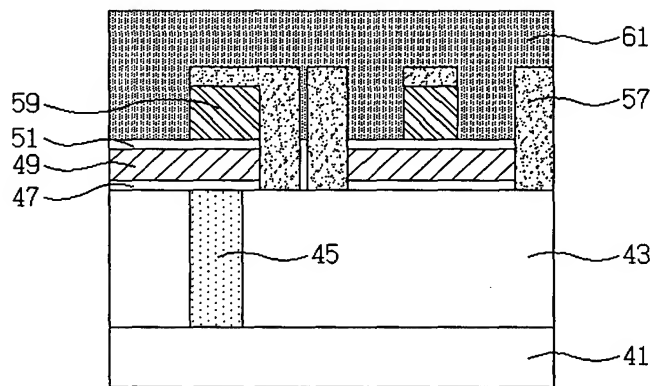
【도 3d】



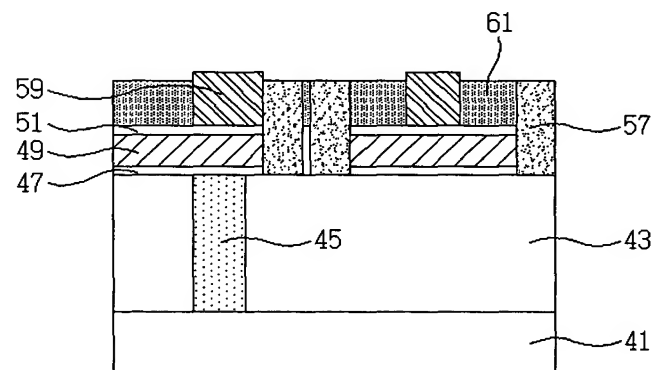
【도 3e】



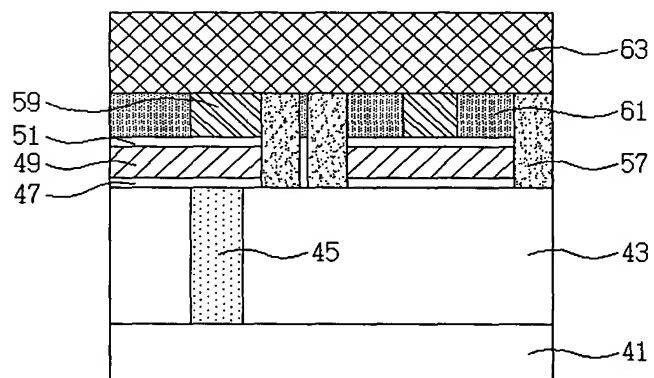
【도 3f】



【도 3g】



【도 3h】



【도 3i】

